Docket No.: 70456-018 PATENT

#### IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277

Shohei MORIWAKI : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: March 02, 2004 : Examiner: Unknown

For: COMMUNICATION MODULE OUTPUTTING A COPY OF A REGISTER OF A RETIMER TO

A HOST DEVICE

# CLAIM OF PRIORITY AND TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-090247, filed March 28, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
/Registration No. 26,527

600 13<sup>th</sup> Street, N.W. Washington, DC 20005-3096 (202) 756-8000 SAB:tlb Facsimile: (202) 756-8087

Date: March 2, 2004

70456-018 MORI WAKI Morch 2,2004

# 日本国特許庁 JAPAN PATENT OFFICE

# Me Dermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2003年 3月28日

出 願 番 号

Application Number:

特願2003-090247

[ST. 10/C]:

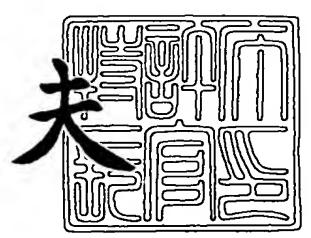
[JP2003-090247]

出 願 人
Applicant(s):

三菱電機株式会社

2003年11月11日

特許庁長官 Commissioner, Japan Patent Office 今 井 康



【書類名】

特許願

【整理番号】

545735JP01

【提出日】

平成15年 3月28日

【あて先】

特許庁長官殿

【国際特許分類】

H04L 12/28

【発明者】

【住所又は居所】

東京都千代田区丸の内二丁目2番3号 三菱電機株式会

社内

【氏名】

森脇 昇平

【特許出願人】

【識別番号】

000006013

【氏名又は名称】

三菱電機株式会社

【代理人】

【識別番号】

100064746

【弁理士】

【氏名又は名称】

深見 久郎

【選任した代理人】

【識別番号】

100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】

100083703

【弁理士】

【氏名又は名称】

仲村 義平

【選任した代理人】

【識別番号】

100096781

【弁理士】

【氏名又は名称】 堀井 豊

ページ: 2/E

【選任した代理人】

【識別番号】

100098316

【弁理士】

【氏名又は名称】

野田 久登

【選任した代理人】

【識別番号】

100109162

【弁理士】

【氏名又は名称】

酒井 將行

【手数料の表示】

【予納台帳番号】

008693

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 ]

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

# 【書類名】明細書

【発明の名称】 通信モジュール

#### 【特許請求の範囲】

【請求項1】 高速イーサネット(R)において用いられる通信モジュールであって、

物理層を制御するためのリタイマと、

前記通信モジュールの全体的な制御を行なうためのマイクロコンピュータとを 含み、

前記マイクロコンピュータは、前記リタイマによって値が更新されるレジスタ のコピーを所定のタイミングで格納するための記憶手段と、

ホストデバイスからの要求に応じて、前記記憶手段に格納されたレジスタのコピーを前記ホストデバイスへ出力するための入出力手段とを含む、通信モジュール。

【請求項2】 前記記憶手段はさらに、10Gbイーサネット(R)通信モジュール・マルチ・ソース・アグリーメントによって定義されるレジスタの内容を格納する、請求項1記載の通信モジュール。

【請求項3】 前記マイクロコンピュータはさらに、前記記憶手段に格納されるレジスタのコピーを所定のタイミングで書込むための不揮発性メモリを含む、請求項1または2記載の通信モジュール。

【請求項4】 高速イーサネット(R)において用いられる通信モジュールであって、

物理層を制御するためのリタイマと、

前記通信モジュールの全体的な制御を行なうための第1および第2のマイクロコンピュータとを含み、

前記第1のマイクロコンピュータは、前記リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するための第1の記憶手段と、

ホストデバイスからの要求に応じて、前記第1の記憶手段に格納されたレジス タのコピーを前記ホストデバイスへ出力するための第1の入出力手段とを含み、

前記第2のマイクロコンピュータは、10Gbイーサネット(R)通信モジュ

ール・マルチ・ソース・アグリーメントによって定義されるレジスタの内容を格納するための第2の記憶手段と、

前記ホストデバイスからの要求に応じて、前記第2の記憶手段に格納された内容を前記ホストデバイスへ出力するための第2の入出力手段とを含む、通信モジュール。

【請求項5】 前記第1のマイクロコンピュータはさらに、前記第1の記憶手段に格納されるレジスタのコピーを所定のタイミングで書込むための第1の不揮発性メモリを含む、請求項4記載の通信モジュール。

【請求項6】 前記第2のマイクロコンピュータはさらに、前記第2の記憶手段に格納される内容を所定のタイミングで書込むための第2の不揮発性メモリを含む、請求項4または5記載の通信モジュール。

#### 【発明の詳細な説明】

# $[0\ 0\ 0\ 1\ ]$

# 【発明の属する技術分野】

本発明は、LX4などの10Gbイーサネット(R)通信モジュールに関し、特に、IEEE (the Institute of Electrical and Electronics Engineers, Inc.) 802. 3 a e によって定義されているレジスタと、XENPAK (10(X) G EtherNet(R) transceiver PAcKage) などの10Gbイーサネット(R) 通信モジュールMSA (Multi Source Agreement) によって定義されているレジスタとを一元管理する通信モジュールに関する。

# [0002]

#### 【従来の技術】

近年、イーサネット(R)などのLAN(Local Area Network)が広く使用されているが、転送速度をさらに高速化した10Gbイーサネット(R)の開発が盛んに行なわれるようになってきている。

### [0003]

従来のLX4 10Gbイーサネット (R) 通信モジュールにおいて、IEE E802. 3 a e によって定義されているレジスタは、物理層を制御するリタイマチップ (XAUI (10(X)G Attachment Unit Interface) リタイマ) によって

サポートされている。

# [0004]

これに関連する技術文献として、以下に示す非特許文献 1 がある。この非特許文献 1 には、物理層内を複数の副層(PMA(Physical Media Attachment)、PCS(Physical Coding Sublayer)、XGXS(10(X)G eXtension Sublayer))に分割し、それぞれの目的に応じて符号化を行なう技術が記載されている。【0005】

# 【非特許文献1】

入門ギガビットイーサネット(R)(ネットテクノロジーラボ著、技術評論社)

### [0006]

# 【発明が解決しようとする課題】

しかし、上述したリタイマチップは、10Gbイーサネット(R)通信モジュールに必要とされるユーティリティ・バスであるMDIO(Medium Dependent I nput/Output)インタフェースを有しないため、別途MDIOインタフェース用の周辺IC(Integrated Circuit)を設けなければならず、ICの実装面積が広くなると共に、コストが高くなるといった問題点があった。

#### [0007]

本発明は、上記問題点を解決するためになされたものであり、その目的は、ホストデバイスからのレジスタアクセスに対して、一元化したレジスタアクセス環境を実現した通信モジュールを提供することである。

#### [0008]

#### 【課題を解決するための手段】

本発明のある局面に従えば、高速イーサネット(R)において用いられる通信 モジュールであって、物理層を制御するためのリタイマと、通信モジュールの全 体的な制御を行なうためのマイクロコンピュータとを含み、マイクロコンピュー タは、リタイマによって値が更新されるレジスタのコピーを所定のタイミングで 格納するための記憶手段と、ホストデバイスからの要求に応じて、記憶手段に格 納されたレジスタのコピーをホストデバイスへ出力するための入出力手段とを含 む。

# [0009]

本発明の別の局面に従えば、高速イーサネット(R)において用いられる通信モジュールであって、物理層を制御するためのリタイマと、通信モジュールの全体的な制御を行なうための第1および第2のマイクロコンピュータとを含み、第1のマイクロコンピュータは、リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するための第1の記憶手段と、ホストデバイスからの要求に応じて、第1の記憶手段に格納されたレジスタのコピーをホストデバイスへ出力するための第1の入出力手段とを含み、第2のマイクロコンピュータは、10Gbイーサネット(R)通信モジュール・マルチ・ソース・アグリーメントによって定義されるレジスタの内容を格納するための第2の記憶手段と、ホストデバイスからの要求に応じて、第2の記憶手段に格納された内容をホストデバイスへ出力するための第2の入出力手段とを含む。

# $[0\ 0\ 1\ 0]$

# 【発明の実施の形態】

### (第1の実施の形態)

図1は、本発明の第1の実施の形態における10Gbイーサネット(R)通信モジュール(以下、通信モジュールと呼ぶ。)を含んだ通信システムの概略構成を示すブロック図である。この通信システムは、通信モジュール12と、通信モジュール12を統括管理するMACレイヤ1とを含む。図1においては、通信モジュールが1つだけ記載されているが、通信システムには同様の構成を有する通信モジュールが複数含まれ、MACレイヤ1はこれらの通信モジュールを統括管理する。

#### $[0\ 0\ 1\ 1]$

MACレイヤ1は、シリアルバス(MDIOバス)8を介して通信モジュール 12を制御するMDIOホスト2を含む。

# [0012]

通信モジュール12は、MACレイヤ1に接続される通信モジュール12の全体的な制御を行なうマイコン3と、通信モジュール12における通信の物理層を

制御するXAUIUタイマ9とを含む。マイコン3とXAUIUタイマ9とは、 $I^2C$  (International Institute for Communications) バス11によって接続され、データの送受信が行なわれる。

# [0013]

XAUIリタイマ9は、図示しないPMA、PCSおよびXGXSの機能プロックを含む。これらの機能プロックは、IEEE802.3aeによって定義されるレジスタを有しており、これらのレジスタをまとめてIEEEレジスタ10と呼ぶことにする。

# [0014]

また、マイコン3は、MACレイヤ1内のMDIOホスト2に接続されるMDIOインタフェース4と、SRAM(Static Random Access Memory)5と、フラッシュROM(Read Only Memory)7とを含む。SRAM5は、IEEEレジスタ10の内容と、XENPAKによって定義されるレジスタ(以下、XENPAKレジスタと呼ぶ。)の内容とを保持するIEEE/XENPAK仮想レジスタ6を含む。フラッシュROM7には、マイコン3によって実行されるプログラムや、IEEEレジスタおよびXENPAKレジスタの初期値などが格納される。なお、SRAM5はランダムアクセスが可能な他の高速記憶媒体であってもよく、フラッシュROM7は通信モジュール12の電源がオフされてもデータを保持することができる他の不揮発性メモリであってもよい。

# [0015]

図2は、本発明の第1の実施の形態におけるIEEEレジスタおよびXENPAKレジスタの内容の一例を示す図である。図2においては、左から順にIEEE802.3aeおよびXENPAKによって定義されているレジスタ、SRAM5に展開されたIEEE/XENPAK仮想レジスタ6、フラッシュROM、およびIEEE802.3aeおよびXENPAKによって定義される各レジスタのうち機能の制約からハードウェアで実現されたレジスタを示している。

#### [0016]

IEEE802.3aeによって定義されるレジスタは、デバイス1 (PCS) のレジスタと、デバイス3 (PMA) のレジスタと、デバイス4 (XGXS)

のレジスタとを含む。たとえば、デバイス1のレジスタ1.1~1.7は、SRAM5のアドレス00101h~00107hにマッピングされ、フラッシュROM7のアドレスFC101h~FC107hにマッピングされる。

# [0017]

XENPAKによって定義されるレジスタは、NVR(Non-Volatile Registers)と、LASI(Link Alarm Status Interrupt)レジスタと、DOM(Digital Optical Monitoring)レジスタと、Functionレジスタとを含む。たとえば、NVRの0x8001~0x8006は、SRAM5のアドレス00501h~00506hにマッピングされ、フラッシュROM7のアドレスFC501h~FC506hにマッピングされる。

# [0018]

通信モジュール 12の起動時において、マイコン 3 はフラッシュ ROM7 から IEEE レジスタの初期値を読出し、 $I^2C$  バス 11 を介して IEEE レジスタ 10 にロードする。また、通信モジュール 12 の動作時において、XAUI リタイマ 9 は IEEE レジスタ 10 の内容を更新するので、マイコン 3 は定期的また は任意のタイミングで IEEE レジスタ 10 の内容を  $I^2C$  バス 11 を介して読込み、IEEE/XENPAK 仮想レジスタ 10 に展開する。

# [0019]

また、マイコン3は、マイコン3に内蔵された図示しないADC(Analog to Digital Coverter)やDAC(Digital to Analog Converter)などの周辺機能を制御して、XENPAKによって定められたDOM機能を実現し、その結果をIEEE/XENPAK仮想レジスタ6に格納する。同様に、マイコン3はプログラムを実行することによって、XENPAKによって定められたNVR機能、LASI機能などを実現し、その結果をIEEE/XENPAK仮想レジスタ6に格納する。

# [0020]

また、MACレイヤ1内のMDIOホスト2から、MDIOインタフェース4を介してレジスタアクセス要求があった場合には、マイコン3はMDIOホスト2から指定されたデバイスID(1, 3, 4, 30/31)に応じてIEEE/

XENPAK仮想レジスタ6の内容を読出し、MDIOインタフェース4を介してMDIOホスト2へ送信する。なお、デバイスID30/31は、XENPA Kによって定義されるレジスタを示している。

# [0021]

MACレイヤ1からの要求に応じてレジスタの内容を返す場合に、IEEE802.3aeによって定義されるMDIOインタフェース規格で定められた応答速度を実現するための構成が必要となる。本実施の形態においては、マイコン3がMACレイヤ1からのレジスタアクセス要求に応じてIEEE/XENPAK仮想レジスタ6の内容を読出してMACレイヤ1に返すので、ターンアラウンド時間内にレジスタの内容をMACレイヤ1に返すことができる。

### [0022]

また、マイコン3は、IEEE/XENPAK仮想レジスタ6の内容を、定期的または任意のタイミングでフラッシュROM7のIEEE/XENPAKレジスタの初期値が格納される領域に書込む。

# [0023]

以上説明したように、本実施の形態における通信モジュールによれば、IEE E/XENPAK仮想レジスタ6にIEEEレジスタおよびXENPAKレジスタの内容を保持し、MACレイヤ1からの要求に応じてIEEE/XENPAK 仮想レジスタ6の内容をMACレイヤ1に返すようにしたので、MACレイヤ1からのレジスタアクセスに対して一元化したレジスタアクセス環境を提供することが可能となった。

# [0024]

また、従来ターンアラウンド時間に拘束されていたため専用のFPGA(Field Programmable Gate Array)、ASIC(Application Specific Integrated Circuit)、EEPROM(Electrically Erasable and Programmable Read Only Memory)、DOM用コントローラなどを用いて通信モジュールを構成していたが、マイコン3を用いつつもターンアラウンド時間内にレジスタの内容をMACレイヤ1に返すことができるようになったので、XAUIリタイマ9以外の構成をマイコン3によって実現することが可能となり、通信モジュール12に搭載さ

れるデバイスの実装面積およびコストを大幅に削減することが可能となった。

# [0025]

また、LX4以外の10Gbイーサネット(R)通信モジュールにおいても、IEEE802.3aeによって定義されるレジスタおよびXENPAKなどの10Gbイーサネット(R)通信モジュールMSAによって定義されるレジスタは、物理層を制御するPHYチップによってサポートされるため、仕様変更などがあった場合には、PHYチップの設計変更が余儀なくされる。しかし、本実施の形態においてはマイコン3がIEEE/XENPAK仮想レジスタ6に各レジスタの内容を保持するようにしたので、IEEE/XENPAK仮想レジスタ6に格納されるレジスタの追加や、プログラムの変更などによって短時間で仕様変更に対応することが可能となった。

# [0026]

さらには、マイコン3は、IEEE/XENPAK仮想レジスタ6の内容を、 定期的または任意のタイミングでフラッシュROM7のIEEE/XENPAK レジスタの初期値が格納される領域に書込むようにしたので、各レジスタの初期 データの更新やバックアップが容易に行なえるようになった。

### [0027]

(第2の実施の形態)

図3は、本発明の第2の実施の形態における通信モジュールを含んだ通信システムの概略構成を示すブロック図である。図1に示す第1の実施の形態における通信モジュールと比較して、マイコン3が2つ設けられている点が異なる。本実施の形態における2つのマイコンの参照符号を3Aおよび3Bとして説明する。

#### [0028]

マイコン3Aは、MACレイヤ1内のMDIOホスト2に接続されるMDIOインタフェース4Aと、SRAM5Aと、フラッシュROM7Aとを含む。SRAM5Aは、IEEEレジスタ10の内容を保持するIEEE仮想レジスタ6Aを含む。フラッシュROM7Aには、マイコン3Aによって実行されるプログラムや、IEEEレジスタの初期値などが格納される。なお、SRAM5Aはランダムアクセスが可能な他の高速記憶媒体であってもよく、フラッシュROM7A

は通信モジュール12の電源がオフされてもデータを保持することができる他の 不揮発性メモリであってもよい。

# [0029]

マイコン3Bは、プログラムを実行することによってXENPAKによって定義される機能を実現すると共に、MACレイヤ1内のMDIOホスト2に接続されるMDIOインタフェース4Bと、SRAM5Bと、フラッシュROM7Bとを含む。SRAM5Bは、XENPAKによって定義されるレジスタの内容を保持するXENPAK仮想レジスタ6Bを含む。フラッシュROM7Bには、マイコン3Bによって実行されるプログラムや、XENPAKレジスタの初期値などが格納される。なお、SRAM5Bはランダムアクセスが可能な他の高速記憶媒体であってもよく、フラッシュROM7Bは通信モジュール12の電源がオフされてもデータを保持することができる他の不揮発性メモリであってもよい。

# [0030]

図4は、本発明の第2の実施の形態におけるIEEEレジスタおよびXENPAKレジスタの内容の一例を示す図である。図4(a)および図4(b)においては、左から順にIEEE802.3aeまたはXENPAKによって定義されているレジスタと、SRAM5Aまたは5Bに展開されたIEEE仮想レジスタ6AまたはXENPAK仮想レジスタ6Bと、フラッシュROM7Aまたは7Bと、IEEE802.3aeまたはXENPAKによって定義される各レジスタのうち機能の制約からハードウェアで実現されたレジスタとを示している。

#### [0031]

図4(a)に示すように、IEEE802.3aeによって定義されるレジスタは、デバイス1(PCS)のレジスタと、デバイス3(PMA)のレジスタと、デバイス4(XGXS)のレジスタとを含む。たとえば、デバイス1のレジスタ1.1~1.7は、SRAM5のアドレス00101h~00107hにマッピングされ、フラッシュROM7のアドレスFC101h~FC107hにマッピングされる。

# [0032]

図4(b)に示すように、XENPAKによって定義されるレジスタは、NV

Rと、LASIレジスタと、DOMレジスタと、Functionレジスタとを含む。たとえば、NVRの0x8001 $\sim$ 0x8006は、SRAM5のアドレス00501h $\sim$ 00506hにマッピングされ、フラッシュROM7のアドレスFC501h $\sim$ FC506hにマッピングされる。

# [0033]

通信モジュール 12の起動時において、マイコン 3 A はフラッシュ R O M 7 A から I E E E レジスタの初期値を読出し、  $I^2$  C バス 1 1 を介して I E E E レジスタ 1 0 にロードする。また、通信モジュール 1 2 の動作時において、 X A U I リタイマ 9 は I E E E レジスタ 1 0 の内容を更新するので、マイコン 3 A は定期的または任意のタイミングで I E E E レジスタ 1 0 の内容を  $I^2$  C バス 1 1 を介して読込み、 I E E E 仮想レジスタ 6 A に展開する。

# [0034]

マイコン3Bは、マイコン3Bに内蔵された図示しないADCやDACなどの周辺機能を制御して、XENPAKによって定められたDOM機能を実現し、その結果をXENPAK仮想レジスタ6Bに格納する。同様に、マイコン3Bはプログラムを実行することによって、XENPAKによって定められたNVR機能、LASI機能などを実現し、その結果をXENPAK仮想レジスタ6Bに格納する。

# [0035]

また、MACレイヤ1内のMDIOホスト2から、MDIOインタフェース4を介してレジスタアクセス要求があった場合には、MDIOホスト2から指定されたデバイスID(1,3,4,30/31)に応じて、マイコン3Aまたは3BがIEEE仮想レジスタ6AまたはXENPAK仮想レジスタ6Bの内容を読出し、MDIOインタフェース4Aまたは4Bを介してMDIOホスト2へ送信する。

# [0036]

また、マイコン3Aおよび3Bは、IEEE仮想レジスタ6AおよびXENP AK仮想レジスタ6Bの内容を、定期的または任意のタイミングでフラッシュR OM7Aまたは7BのIEEEレジスタまたはXENPAKレジスタの初期値が 7

格納される領域に書込む。

# [0037]

以上説明したように、本実施の形態における通信モジュールによれば、第1の実施の形態において説明した効果に加えて、マイコン3Aおよび3Bがそれぞれ IEEE仮想レジスタ6AおよびXENPAK仮想レジスタ6Bの内容を管理するようにしたので、それぞれの処理負担を軽減することができ、通信モジュールにおける監視、制御、管理などをより緻密に行なうことが可能となった。

# [0038]

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

# [0039]

# 【発明の効果】

本発明のある局面によれば、マイクロコンピュータ内の記憶手段が、リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するので、マイクロコンピュータはレジスタの内容を一元管理することができ、ホストデバイスからの要求に対してレジスタの値を高速に送信することが可能となった。

#### [0040]

本発明の別の局面によれば、第1のマイクロコンピュータ内の第1の記憶手段および第2のマイクロコンピュータ内の第2の記憶手段がそれぞれ、リタイマによって値が更新されるレジスタのコピーおよび10Gbイーサネット(R)通信モジュールMulti Source Agreementによって定義されるレジスタの内容を格納するので、マイクロコンピュータはレジスタの内容を一元管理することができ、ホストデバイスからの要求に対してレジスタの値を高速に送信することが可能になると共に、第1のマイクロコンピュータおよび第2のマイクロコンピュータの処理負担を軽減することが可能となった。

#### 【図面の簡単な説明】

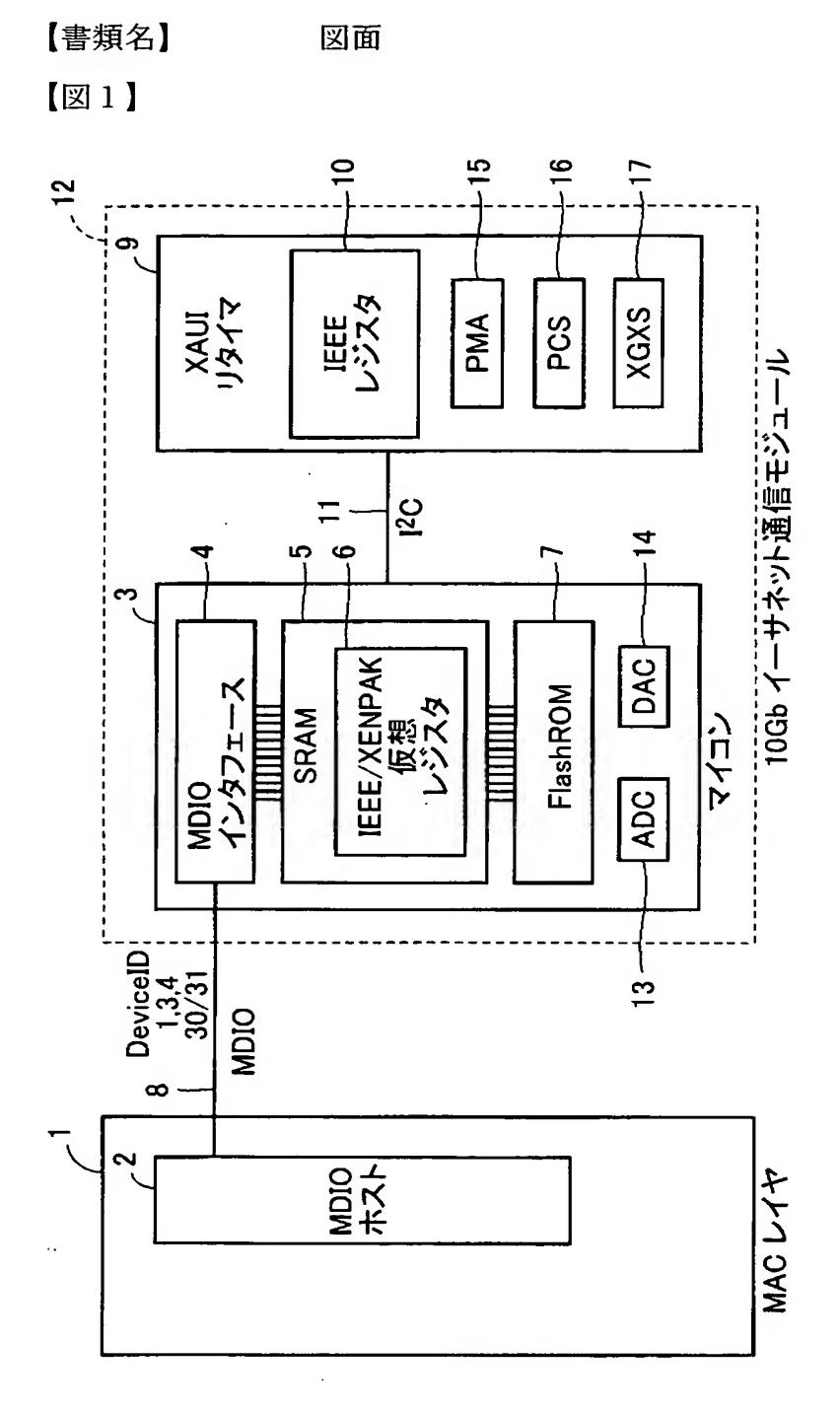
【図1】 本発明の第1の実施の形態における通信モジュールを含んだ通信

システムの概略構成を示すブロック図である。

- 【図2】 本発明の第1の実施の形態におけるIEEEレジスタおよびXENPAKレジスタの内容の一例を示す図である。
- 【図3】 本発明の第2の実施の形態における通信モジュールを含んだ通信システムの概略構成を示すブロック図である。
- 【図4】 本発明の第2の実施の形態におけるIEEEレジスタおよびXENPAKレジスタの内容の一例を示す図である。

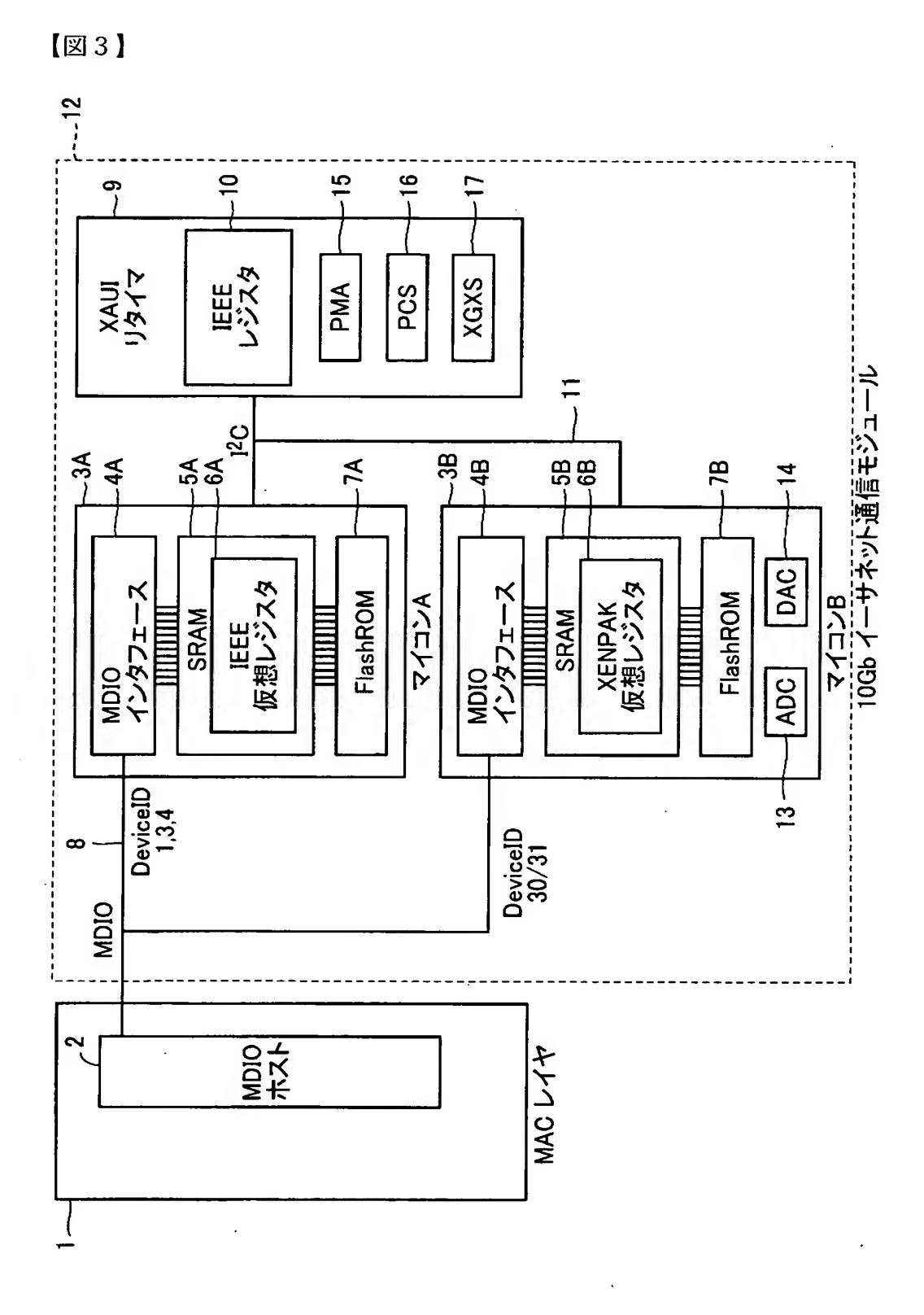
# 【符号の説明】

1 MACレイヤ、2 MDIOホスト、3 マイコン、4,4A,4B MDIOインタフェース、5,5A,5B SRAM、6 IEEE/XENPA K仮想レジスタ、6A IEEE仮想レジスタ、6B XENPAK仮想レジスタ、7,7A,7B フラッシュROM、8 MDIOバス、9 XAUIリタイマ、10 IEEEレジスタ、11 I<sup>2</sup>Cバス、12 通信モジュール。



# 【図2】

	· · · · · · · · · · · · · · · · · · ·		SRAM	FlashROM	Internal Resister
		1.0	_	FC100h	00200h
ļ l		1.1	00101h to	FC101h	_
		to 1.7	00107h	FC107h	
	Dev1	1.8	-	FC108h	00201h
		1.9	00109h	FC109h	
		to 1,15	00110h	FC110h	
		3.0	***	l FC300h	00202h 00203h
		3.2	00302h	FC301h FC302h	00203h
IEEE802.3ae	•	to 3.7	i to	to	_
ICCCOUZ.Sae	Dev3	3.7	00307h	FC307h FC308h	3000
		3.9	00309h	FC308h FC309h	00204h
		to	l to	to	_
		3.43 4.0	0032Bh	FC32Bh FC400h	00000
	Dev4	41		FC401h	00205h 00206h
		4.2	00402h	FC402h	0020011
		to 4.7 4.8	to	to	_
	DC V 4	4.4	00407h	FC407h	00207h
		l 4.9	00409h	FC409h	0020711
		to	to	to	_
		4.25 0x8000	00419h	FC419h FC500h	00208h
		0x8001	00501h	FC501h	VOZUOII
		i to	to	l to	_
		0x8006 0x8007	00506h 00507h	FC506h FC507h	ļ <u>. — </u>
		0x807D			_
		0x807D	0057Dh	FC57Dh	
1	AUV/D	0x807F to	0057Fh to	FC57Fh	_
	NVR	0x80AD	005ADh	FC5ADh	
		0x80AF	005AFh	FC5AFh	
		to 0x87EF	to 00CFFh	to FCCFFh	_
		0×8800	00F20h	FCF20h	
		to 0ggor	l to	to	-
		0x880F 0x8810	00F2Fh	FCF2Fh	
		to 0x8FFF	-	_	_
}		0x8FFF 0x9000	00F10h	FOETOL	
		to	to	FCF10h to	_
		0×9002	00F15h	to FCF15h	
XENPAK		0x9003 to	_	FCF16h	00208h
75m/71 / 115	LASI	0x9005		to FCF1Bh	0020Bh
İ	LASI	0x9006	00F1Ch	FCF1Ch	
	0x9007 00F1Fh 0x9008 to - 0x9FFF 0xA000 00D00h	TO 0∡9007	noF1Fh	to FCF1Fh	-
		to	_	_	-
}-		U^AUUU	OUDOUP	FCD00h	
		to 0×A0FF	to	i to	<b>-</b>
		0xA0FF	00DFFh	l FCDFFh	00000:
	0014	0×A100 0×A101	00F01h	FCF00h FCF01h	0020Ch
	DOM	to	to	l to	_
		0xA10F 0xA110	00F0Fh	FCF0Fh	
•		to	_	_	
<u> </u>		0xAFFF	- AA = 1 A :		
		0xB000	00F10h	FCF10h	_
		to 0xB07F	to 00F8Fh	to FCF8Fh	
	ſ	0xB080	_	_	
	Func	to 0xB7FF			_
		0xB800	00F90h	FCF90h	
		to 0xB80F	to 00F9Fh	to FCF9Fh	
		0xB80F 0xB810	UUFSFh	FUF9Fh	
		to	~	_	-
	<u></u>	to 0xBEEE			



# [図4]

)			SRAM	FlashROM	Internal Resiste
		1.0	-	FC100h	00200h
	Dev1	1.1	00101h	FC101h	
		to	to	to	-
		to 1.7	00107h	FC107h	
		1.8		FC108h	00201h
		1.9	00109h	FC109h	
1		to 1.15	to	to	-
			00110h	FC110h FC300h	
	Dev3	3.0	-	FC300h	00202h
1		31		FC301h	00203h
1		3.2	00302h	FC302h	
IEEE802.3ae		to 3,7	to_	to	-
ILLEGOZ.Sae		3./	00307h	EC307h	2555
		3.8		FC308h	00204h
		3.9 to 3.43	00309h	FC309h	
1		7.42	to	to to	_
1		3.43	0032Bh	FC32Bh	AAAAFI
i	Dev4	4.0	<del>-</del>	EC400h	00205h
1		4.1		FC401h	00206h
		4.2	00402h	FC402h	
<b>!</b>		to 4.7	to	to	_
1			00407h	FC407h	000076
		4.8	004006	EC 400k	00207h
		4.9	00409h	FC409h	
		4.9 to 4.25	to	to EC410b	_
		7.20	00419h	FC419h	

	0x8000			
	0x8001	00501h	FC500h FC501h	002081
NVR	to	to		_
	to 0x8006	00506h	to FC506h	
	0x8007	00507h	FC507h	
	to	to	to	_
	0x807D	<u>0057Dh</u>	FC57Dh	1
			FC57Fh	
	to	to	to	_
		UUSAUN		
		UUJAPh	FUSAFN	
	りっぱっただ	1 00CEEP	ECCEEP	_
		0051111	FCF20h	<del></del>
		to		1 –
	0x880F	00F2Fh	FCF2Fh	
	0x8810			
	to	-		_
	0x8FFF	A A B 1 A		
	0x9000		FCF10h	
	0.0003	ODE15L	ECE1EL	_
	0x3002	UVE (3n	FOE 18L	00208
		_	to	10206
I ACT	0x9005		FCF1Bh	0020B
LASI	0x9006	00F1Ch	FCFICh	
	to	l to	l to	_
	0x9007	00F1Fh	FCF1Fh	
	0x9008			
	to	_	_	_
	UX9FFF	00000	E00001	
	UXAUUU	บบบุบบท		
DOM	0-40EE	MUZEEP	ECDEEN	
	0νΔ100		FCFOOL	0020Ch
	0xA101	00F01h	FCFOIh	
		to	to	_
	0xA10F	00F0Fh	FCF0Fh_	
	0xA110			
	to		_	_
	UXAFFF	005101	FOE 100	<del> </del>
Func	OXBOOO			_
	りゃおりファ	UUESEP	FCERER	_
	0xB080	MAI UI (I		
	to	~	-	_
	0xB7FF			
	0xB800	00F90h	FCF90h	
	OxB80F	00F9Fh	FCF9Fh	<u> </u>
	to Outper	~	_	_
	LASI	0x80AF to 0x87EF 0x8800 to 0x880F 0x8810 to 0x88FF 0x9000 to 0x9002 0x9003 to 0x9005 0x9006 to 0x9007 0x9008 to 0x9FFF 0xA000 to 0xA0FF 0xA100 0xA10F 0xA10F 0xA110 to 0xAFFF 0xB000 to 0xB7FF 0xB080 to 0xB7FF	0x8007	Ox8007



【書類名】 要約書

【要約】

【課題】 ホストデバイスからのレジスタアクセスに対して、一元化したレジスタアクセス環境を実現した通信モジュールを提供すること。

【解決手段】 マイコン3は、XAUIリタイマ9によって値が更新されるIE EEレジスタ10のコピーを所定のタイミングIEEE/XENPAK仮想レジスタ6に格納する。そして、MACレイヤ1からの要求に応じて、マイコン3はMDIOインタフェース4を介してIEEE/XENPAK仮想レジスタ6に格納されたIEEEレジスタのコピーをMACレイヤ1へ出力する。したがって、マイコン3はレジスタの内容を一元管理することができ、MACレイヤ1からの要求に対してレジスタの値を高速に送信することが可能となった。

【選択図】 図1



# 特願2003-090247

# 出願人履歴情報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社